

Multi chip module packaging method by mixing chip and package

Patent Number:

Publication date: 2001-12-01

Inventor(s): LAI SZ-CHENG (TW); LUO SHIAU-YU (TW); WU JI-C

Applicant(s): SILICONWARE PREC IND CO LTD (TW)

Requested Patent: TW466719

Application Number: TW20000109556 20000518

Priority Number(s): TW20000109556 20000518

IPC Classification: H01L23/28

EC Classification:

Equivalents:

Abstract

The present invention provides a multi chip module packaging method by mixing chip and package. Conventionally, in order to increase the package density and operating speed, most of the bare and know-good dies (KGDs), such as processors or memory, are first installed on the substrate and then packaged. However, in the conventional multi chip module packaging process, there is encountered a problem in that the cost of known-good die is too high. If the KGD procedure is neglected, a problem is encountered in that the yield of the multi chip module packaging process is not high. The present invention discloses a multi chip module packaging method having the advantages of low cost and high reliability. The tested thin and small package is used as a KGD to be integrated into the ball grid array package process, so that the multi chip module packaging process can meet the requirements of low cost and high reliability.

Data supplied from the esp@cenet database - 12

THIS PAGE BLANK (USPTO)

[11]公告編號：466719

[44]中華民國 90年 (2001) 12月 01日

發明

全 6 頁

[51] Int.Cl⁰⁷ : H01L23/28

[54]名稱：一種混合晶片及封裝件的多晶片模組封裝方法

[21]申請案號：089109556

[22]申請日期：中華民國 89年 (2000) 05月 18日

[72]發明人：

羅曉餘

台北市信義區景新里十二鄰莊敬路二八九巷五弄二號

吳集銓

台中市平德路八十二巷三十三弄一號

賴思成

台中市西屯路三段三〇一之七十七號三樓

[71]申請人：

矽品精密工業股份有限公司

台中縣潭子鄉大豐路三段一二三號

[74]代理人：林志誠 先生

1

2

[57]申請專利範圍：

1. 一種混合晶片及封裝件的多晶片模組封裝結構，包括一基板，該基板上設置一複數個電性連接晶片封裝體及基板之電性連接點、一複數個電性連接腳及一封裝材料，其特徵在於：配置於該基板上之一個或一個以上之晶片封裝體，且該晶片封裝體、該電性連接點及該基板係被該封裝材料所包覆。
2. 如申請專利範圍第1項之封裝結構，其中該晶片封裝體係為以晶方尺寸封裝CSP或晶圓級封裝尺寸CSP(Wafer Level CSP)之封裝體。
3. 如申請專利範圍第1項或第2項之封裝結構，其中該晶片封裝體，至少一個為導線接合(Wire Bonding)之晶方尺寸封裝件。
4. 如申請專利範圍第1項或第2項之封裝結構，其中該晶片封裝體，至少一個為複晶接合(Flip Chip Bonding)之晶方

尺寸封裝件。

5. 如申請專利範圍第1項或第2項之封裝結構，其中該晶片封裝體，至少一個為中央鐳墊之晶方尺寸封裝件。
5. 6. 如申請專利範圍第1項或第2項之封裝結構，其中該晶片封裝體，係為已經過老化測試(Burn-In)及功能測試(Function Test)測試過之封裝體。
7. 如申請專利範圍第1項之封裝結構，其中該複數個電性連接腳係可為球狀鉛錫。
8. 如申請專利範圍第1項之封裝結構，其中該複數個電性連接點係可為球狀鉛錫或金導線。
15. 9. 一種混合晶片及封裝件的多晶片模組封裝結構，包括一基板，該基板上設置一複數個電性連接晶片封裝體及基板之電性連接點、一複數個電性連接腳及一封裝材料，其特徵在於：配置於該基板上之至少一晶片及一個或一
- 20.

- 個以上之晶片封裝體，且該晶片、晶片封裝體、該電性連接點及該基板係被該封裝材料所包覆。
10. 如申請專利範圍第 9 項之封裝結構，其中該晶片係為一尚未封裝(Bare)晶片。
 11. 如申請專利範圍第 10 項之封裝結構，其中該尚未封裝(Bare)晶片，係至少一個以導線接合(Wire Bonding)或以覆晶接合(Flip Chip Bonding)於該基板。
 12. 如申請專利範圍第 9 項之封裝結構，其中該晶片封裝體係為以晶方尺寸封裝 CSP 或晶圓級封裝尺寸 CSP(Wafer Level CSP)之封裝體。
 13. 如申請專利範圍第 9 項或第 12 項之封裝結構，其中該晶片封裝體，至少一個為導線接合(Wire Bonding)之晶方尺寸封裝件。
 14. 如申請專利範圍第 9 項或第 12 項之封裝結構，其中該晶片封裝體，至少一個為覆晶接合(Flip Chip Bonding)之晶方尺寸封裝件。
 15. 如申請專利範圍第 9 項或第 12 項之封裝結構，其中該晶片封裝體，至少一個為中央鉑墊之晶方尺寸封裝件。
 16. 如申請專利範圍第 9 項或第 12 項之封裝結構，其中該晶片封裝體，係為已經過經過老化測試(Burn In)及功能測試(Function Test)測試過之封裝體。
 17. 如申請專利範圍第 9 項之封裝結構，其中該複數個電性連接腳係為球狀鉑錫。
 18. 如申請專利範圍第 9 項之封裝結構，其中該複數個電性連接點係可為球狀鉑錫或金導線。
 19. 一種混合晶片及封裝件的多晶片模組封裝的方法，包括一複數個晶片黏著一基板，並於該基板上設置一複數個電性連接晶片封裝體及基板之電性連接點、一複數個電性連接腳及一封裝

材料而成的多晶片模組封裝本體，其特徵在於：使用一個或一個以上的晶片封裝體，作為一已知合格晶片，電性連接在該基板上之電性連接點以形成該本體。

5. 20. 如申請專利範圍第 19 項之封裝的方法，其中該本體上可形成一複數個電性連接腳，使用一封裝材料包覆該本體表面。
10. 21. 如申請專利範圍第 20 項之封裝的方法，其中該複數個電性連接腳係為球狀鉑錫。
15. 22. 如申請專利範圍第 19 項之封裝的方法，其中該晶片封裝體係為晶方尺寸封裝 CSP 或晶圓級封裝尺寸 CSP(Wafer Level CSP)之封裝體。
20. 23. 如申請專利範圍第 19 項或第 22 項之封裝的方法，其中該晶片封裝體，至少一個為導線接合(Wire Bonding)之晶方尺寸封裝件。
25. 24. 如申請專利範圍第 19 項或第 22 項之封裝的方法，其中該晶片封裝體，至少一個為覆晶接合(Flip Chip Bonding)之晶方尺寸封裝件。
30. 25. 如申請專利範圍第 19 項或第 22 項之封裝的方法，其中該晶片封裝體，至少一個為中央鉑墊之晶方尺寸封裝件。
35. 26. 如申請專利範圍第 19 項或第 22 項之封裝的方法，其中該晶片封裝體可為已經過經過老化測試(Burn In)及功能測試(Function Test)測試過之封裝體。
40. 27. 如申請專利範圍第 19 項之封裝的方法，其中該晶片封裝體高度係低於 1.00mm。
28. 如申請專利範圍第 19 項之封裝的方法，其中該晶片封裝體之電性連接點，可為球狀鉑錫或金導線。

圖式簡單說明：

第一圖(A)為習知導線接合之多晶片

模組封裝結構示意圖

第一圖(B)為習知覆晶接合之多晶片模組封裝結構示意圖

第二圖(A)為習知導線接合之晶片尺寸封裝件之結構示意圖

第二圖(B)為習知覆晶接合之晶片尺寸封裝件之結構示意圖

第二圖(C)為另一種習知之具中央鉅墊之晶片尺寸封裝件之結構示意圖

第二圖(D)為習知晶圓極品方尺寸 CSP(Wafer Level CSP)

第三圖(A)為本發明導線接合之晶片尺寸及覆晶接合之晶片尺寸封裝件之第一實施例之多晶片模組封裝結構示意圖

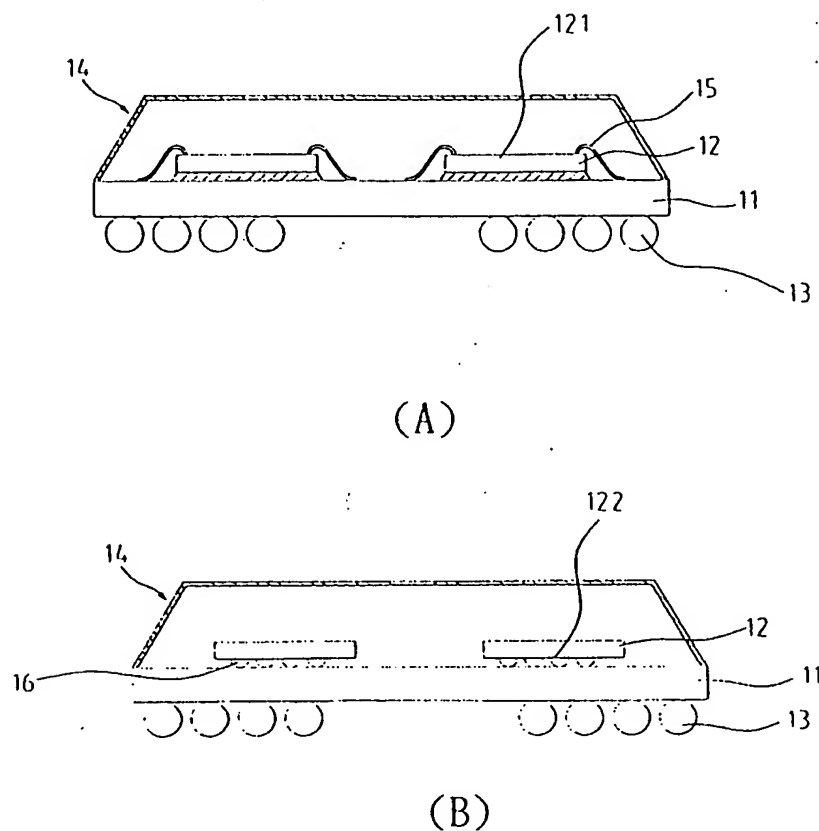
第三圖(B)為本發明覆晶接合之晶片尺寸及中央鉅墊之晶片尺寸封裝件之第二實施例多晶片模組封裝結構示意圖

第三圖(C)為本發明導線接合之晶片及覆晶接合之晶片尺寸封裝件之第三實施例之多晶片模組封裝結構示意圖

第三圖(D)為本發明第三實施例之多晶片模組封裝之透視示意圖

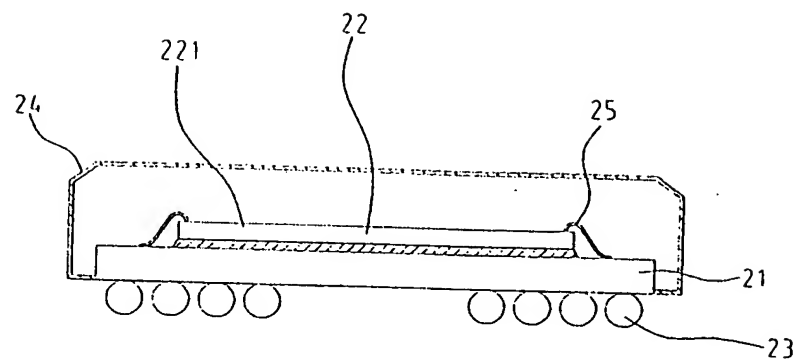
第三圖(E)為本發明覆晶接合晶片及導線接合之晶片尺寸封裝件之第四實施例之多晶片模組封裝結構示意圖

第三圖(F)為本發明導線接合之晶片及中央鉅墊之晶片尺寸封裝件之第五實施例之多晶片模組封裝結構示意圖

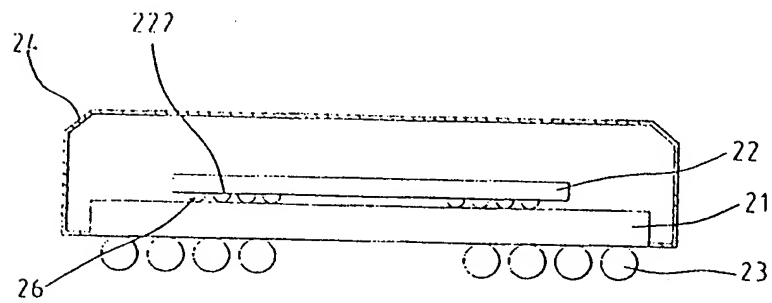


第一圖

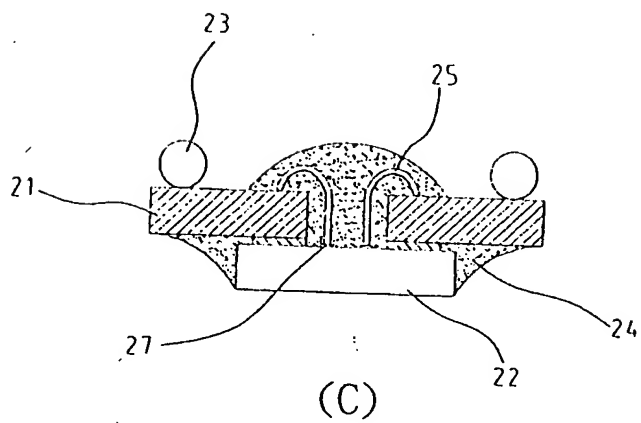
(4)



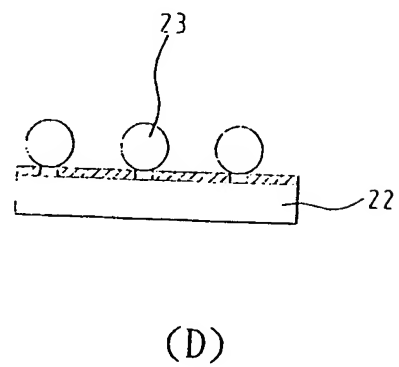
(A)



(B)



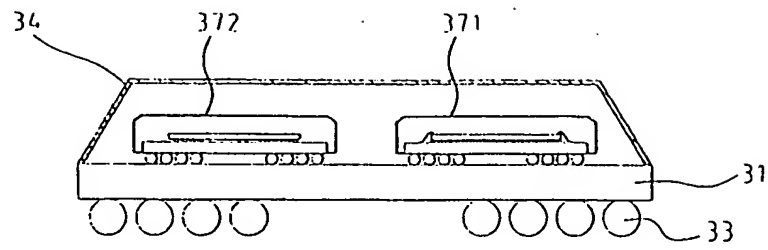
(C)



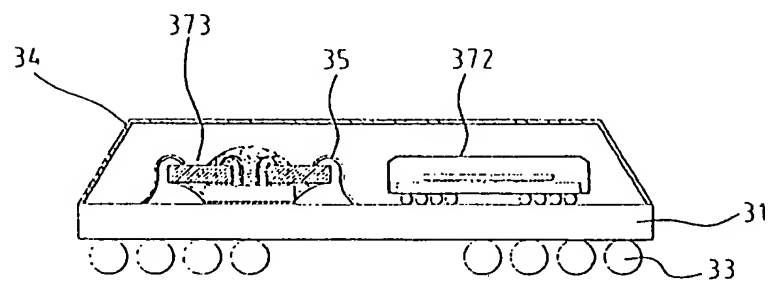
(D)

第二圖

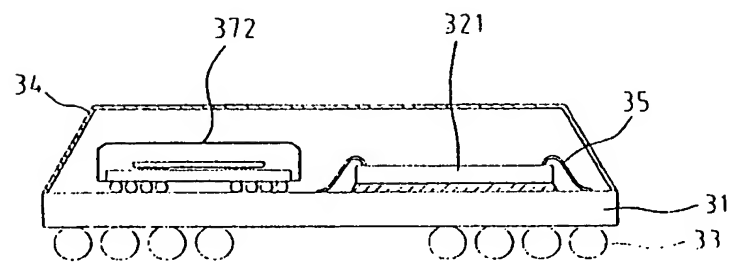
(5)



(A)



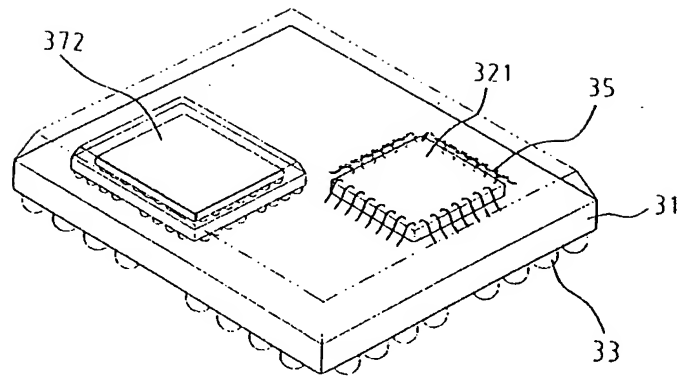
(B)



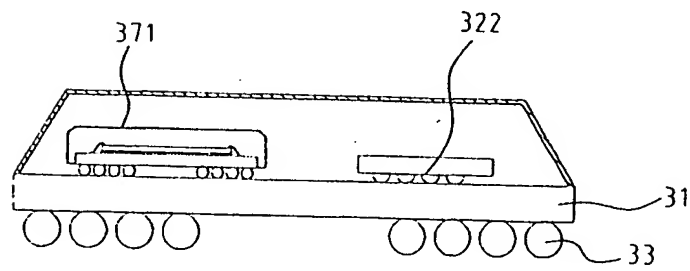
(C)

第三圖

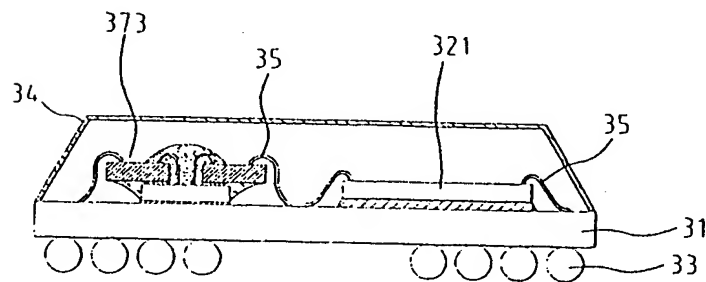
(6)



(D)



(E)



(F)

第三圖